



04-02-04

Express Mail Label No. _____ Dated: _____

Docket No.: 20046/0200688-US0
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Christian Peters et al.

Application No.: 10/768,988

Confirmation No.: N/A

Filed: January 30, 2004

Art Unit: N/A

For: SEMICONDUCTOR WITH AN IMPROVED
READ DEVICE AND OPERATIONAL MODE
ASSOCIATED THEREWITH

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

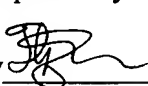
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Germany	101 37 120.9	July 30, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 31, 2004

Respectfully submitted,

By  *From Barrison*
(53,970)

Richard J. Katz

Registration No.: 47,698

DARBY & DARBY P.C.

P.O. Box 5257

New York, New York 10150-5257

(212) 527-7700

(212) 753-6237 (Fax)

Attorneys/Agents For Applicant



04-02-04

Application No. (if known): 10/768,988

Attorney Docket No.: 20046/0200688-US0

Certificate of Express Mailing Under 37 CFR 1.10

I hereby certify that this correspondence is being deposited with the United States Postal Service as Express Mail, Airbill No. _____ in an envelope addressed to:

EL 983947559-US

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

on March 31, 2004
Date

D Davis

Signature

D Davis

Typed or printed name of person signing Certificate

Note: Each paper must have its own certificate of mailing, or this certificate must identify each submitted paper.

Claim for Priority & Submission of Documents (2pp);
Document DE 101 37 120.9; and
Return Receipt Postcard.

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 37 120.9

Anmeldetag: 30. Juli 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Ansteuerschaltung für Speicherzellenanordnung
und Betriebsart

IPC: G 11 C 16/26

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office, is written over the text "Im Auftrag".

Wallner

Beschreibung

Ansteuerschaltung für Speicherzellenanordnung und Betriebsart

- 5 Die vorliegende Erfindung betrifft eine Ansteuerschaltung und ein differentiellles Lesekonzept für nichtflüchtige Ein-Transistor-Floating-Gate-Speicher.

Bei einem Floating-Gate-Speicher wird die Information gespeichert, indem mit einer oder mehreren Hochspannungen die Ladungsmenge auf dem Floating-Gate des Speichertransistors geändert wird, so dass der Speichertransistor unter bestimmten Bedingungen Strom leitet oder sperrt. Beim Auslesen der Zelle werden die Steuergates aller nicht zu lesender Speichertransistoren auf einem niedrigen Potenzial (z. B. 0 Volt) gehalten, während das Steuergate der zu lesenden Zelle auf ein höheres Lesepotenzial (z. B. 1,8 Volt) gebracht wird. Problematisch dabei ist, dass Speichertransistoren mit einem positiven Potential auf dem Floating-Gate an der gleichen Signalleitung wie der zu bewertende Speichertransistor auch mit einer niedrigen Steuergatespannung zu einem Lesestrom beitragen können und damit das Leseergebnis für die zu lesende Speicherzelle verfälschen.

- 5 Bisher wurde das Problem dadurch gelöst, dass bei Zellen, die einen leitenden Informationszustand haben sollen, das Floating-Gate-Potenzial so niedrig eingestellt wurde, dass im nicht selektierten Zustand kein Strom durch sie fließt. Nachteilig daran ist, dass die Hochspannung pulsweise angelegt werden und nach jedem Puls gemessen werden muss, ob die Zelle schon das richtige Floating-Gate-Potenzial erreicht hat. Außerdem muss für den Fall, dass versehentlich ein zu hohes Floating-Gate-Potenzial erreicht wird, ein Recovery-Mechanismus vorgesehen werden. Zusätzlich wird durch das niedrige Floating-Gate-Potenzial in den Zellen der Lesestrom und damit
35 die Lesegeschwindigkeit verringert und das Lesefenster eingeengt.

Aufgabe der vorliegenden Erfindung ist es, einen Floating-Gate-Speicher anzugeben, bei dem diese Probleme vermieden sind.

5 Diese Aufgabe wird mit der Ansteuerschaltung für eine Speicherzellenanordnungen mit den Merkmalen des Anspruches 1 bzw. mit der Betriebsart mit den Merkmalen des Anspruches 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

10 Bei der erfindungsgemäßen Anordnung aus Ansteuerschaltung und Speicherzellen werden die eingangs geschilderten Probleme vermieden, indem in die Zuleitungen zu den Speicherzellen jeweils ein Auswahltransistor für eine Gruppe von Speicherzellen, vorzugsweise 16 bis 32 Speicherzellen, eingefügt wird.
15 Da die Speicherzellen in einem Speicher üblicherweise in einem matrixartigen Raster angeordnet und in Zeilen und Spalten unterteilt sind, wird zur Vereinfachung der Beschreibung angenommen, dass die Gruppe von Speicherzellen in einem bevorzugten Ausführungsbeispiel eine Zeilengruppe bildet. Die erfindungsgemäße Anordnung kann aber entsprechend vorgesehen
20 sein, wenn eine Spaltengruppe in dieser Weise adressiert werden soll oder die Bezeichnungen von Zeilen und Spalten miteinander vertauscht sind.

Zum Lesen wird der Auswahltransistor zu einer Zeilengruppe geöffnet, während die Steuergates aller Zeilen auf niedrigem Potenzial sind, und der Strom für jede zu lesende Spalte, die durch diese Zeilengruppe führt, wird gemessen und gespeichert.
30 Im zweiten Schritt wird das Steuergate bzw. werden die Steuergates der zu lesenden Zeile auf das höhere Lesepotenzial gebracht und der resultierende Strom mit dem vorherigen verglichen. Bei der erfindungsgemäßen Anordnung stört ein Leckstrom durch die nicht selektierten Zellen nicht, da nur
35 die Differenz zwischen dem Strom mit und ohne selektierte Zelle als Maßstab für eine Entscheidung über die Information der Speicherzelle genommen wird.

Es folgt eine Beschreibung eines bevorzugten Beispiels der erfindungsgemäßen Anordnung anhand der beigefügten Figuren 1 und 2, die anhand eines Ausschnittes aus der Speicherzellenanordnung die beiden Schritte des Lesevorganges darstellen.

In Figur 1 ist ein Ausschnitt aus einem Speicherzellenfeld dargestellt, bei dem die Speichertransistoren 1 gruppenweise jeweils mit einem Auswahltransistor 2 gemeinsam ausgewählt werden können. In der Figur 1 sind zwei solche Gruppen von jeweils 16 bis 32 Speichertransistoren eingezeichnet, die jeweils mit einem Auswahltransistor 2 verbunden sind. Der in Figur 1 oben eingezeichnete Auswahltransistor 2 wurde durch Anlegen eines Potentials von typisch 1,8 Volt an den Gate-Anschluss 3 geöffnet, so dass die zugehörigen Speichertransistoren ausgelesen werden können. Da alle diese Speicher noch mit einem Gatepotential von 0 Volt gesperrt sind, fließt zunächst nur der Ausgangsstrom I1.

In der Figur 2 ist der nächste Schritt des Lesevorganges dargestellt, bei dem der Gate-Anschluss 5 eines ausgewählten Speichertransistors 4 ebenfalls auf typisch 1,8 Volt gelegt wird. Der Speicherinhalt dieses Transistors kann daher ausgelesen werden, so dass jetzt ein Ausgangsstrom I2 fließt.

Patentansprüche

1. Ansteuerschaltung für eine Speicherzellenanordnung mit einer Anordnung von Speichertransistoren (1), die jeweils einer Speicherzelle zugeordnet sind, und
5 mit einer Ansteuerschaltung, die für eine Auswahl eines Speichertransistors und zum Schreiben oder Lesen einer Information in die Speicherzelle vorgesehen ist,
d a d u r c h g e k e n n z e i c h n e t , dass
10 jeweils einer Gruppe von Speichertransistoren ein Auswahltransistor (2) zugeordnet ist, mit dem die Speichertransistoren dieser Gruppe gemeinsam ausgewählt werden können.

2. Ansteuerschaltung nach Anspruch 1, bei der
15 die Gruppe von Speichertransistoren, die jeweils mittels eines Ansteuertransistors ausgewählt werden können, 16 bis 32 Speichertransistoren umfasst.

3. Ansteuerschaltung nach Anspruch 1 oder 2, bei der
20 die Speichertransistoren einer Gruppe jeweils in einer Zeile oder in einer Spalte der Speicherzellenanordnung angeordnet sind.

4. Betriebsart einer Ansteuerschaltung für eine Speicherzellenanordnung, die aufweist
5 eine Anordnung von Speichertransistoren (1), die jeweils einer Speicherzelle zugeordnet sind,
eine Ansteuerschaltung, die für eine Auswahl eines Speichertransistors und zum Schreiben oder Lesen einer Information in
30 die Speicherzelle vorgesehen ist, und
mindestens einen einer jeweiligen Gruppe von Speichertransistoren zugeordneten Auswahltransistor, mit dem die Speichertransistoren der jeweiligen Gruppe gemeinsam ausgewählt werden können,
35 d a d u r c h g e k e n n z e i c h n e t , dass
in einem ersten Schritt der Auswahltransistor zu einer Gruppe von in Zeilen bzw. Spalten angeordneten Speichertransistoren

geöffnet wird, während Gate-Anschlüsse der Speichertransistoren aller Zeilen bzw. Spalten auf niedrigem Potenzial sind, und der Strom für jede zu lesende Spalte bzw. Zeile, die durch diese Gruppe führt, gemessen und gespeichert wird und

5 in einem zweiten Schritt der Gate-Anschluss einer zu lesenden Zeile bzw. Spalte auf ein höheres Lesepotenzial gebracht wird und ein resultierender Strom mit dem zuvor gemessenen Strom verglichen wird.

Zusammenfassung

Ansteuerschaltung für Speicherzellenanordnung und Betriebsart

5 In die Zuleitungen zu den Speicherzellen (4) wird jeweils ein
Auswahltransistor (2) für eine Gruppe von Speicherzellen,
vorzugsweise 16 bis 32 Speicherzellen, eingefügt. Zum Lesen
wird der Auswahltransistor zu einer Zeilengruppe geöffnet,
während die Steuergates aller Zeilen auf niedrigem Potenzial
10 sind, und der Strom für jede zu lesende Spalte, die durch
diese Zeilengruppe führt, wird gemessen und gespeichert. Im
zweiten Schritt wird das Steuergate (5) der zu lesenden Zeile
auf das höhere Lesepotenzial gebracht und der resultierende
Strom mit dem vorherigen verglichen.

15

Figur 2

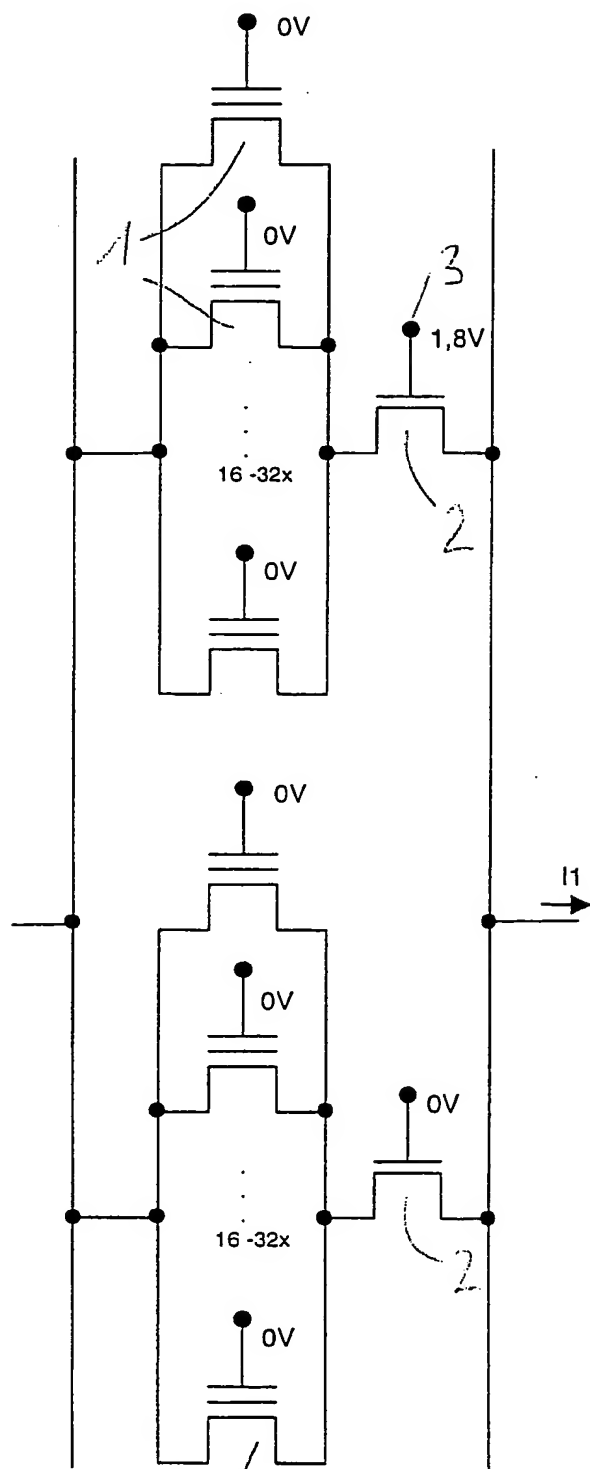


Fig 1

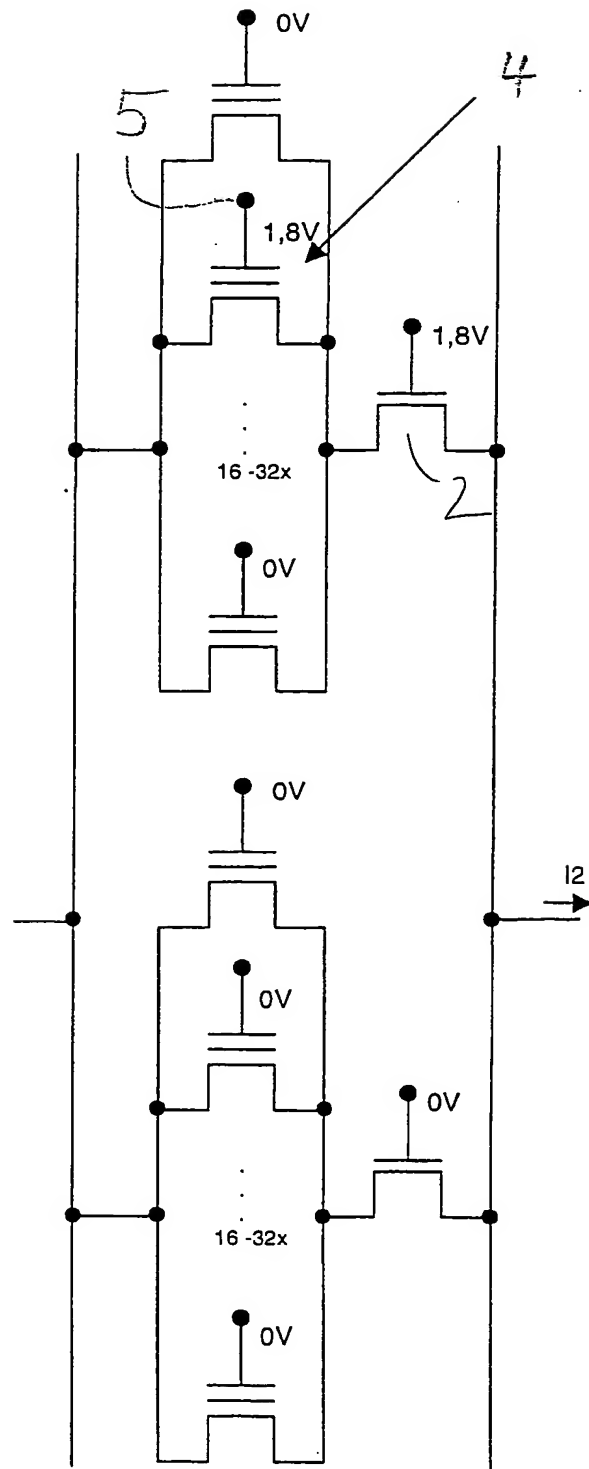


Fig 2